

壹、發明名稱：(中文/英文)

中文發明名稱

時脈訊號調整裝置

英文發明名稱

5 APPARATUS OF ADJUSTING WOBBLE CLOCK

貳、申請人：

參、發明人：

肆、聲明事項：

伍、中文發明摘要：

10 本發明提供一種時脈訊號調整電路，其包含有：一相位調整電路，接收一擺動訊號以及一擺動時脈訊號，用以產生一相位調整設定值；一除頻電路，連結至相位調整電路，接收相位調整值，根據相位設定值，除頻一第一參考時脈訊號，用以調整擺動時脈訊號。

陸、英文發明摘要：

15 An apparatus adjusting wobble clock comprises: a phase adjusting circuit, receiving a wobble signal and a wobble clock to generate a phase adjusting value; and a slicer, coupled to the phase adjusting circuit, according to the phase adjusting value, slicing a first reference clock to adjust the wobble clock.

柒、指定代表圖：

20 (一)本案指定代表圖為：第(七)圖。

(二)本代表圖之元件代表符號簡單說明：

30	光碟機系統	32	光碟片
34	光碟機	36	讀寫頭
38、40	帶通濾波器	42	擺動時脈產生電路
44	位址資料解碼器	46	除頻器
48	控制電路	50	相位調整電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的

化學式：

玖、發明說明：

【發明所屬之技術領域】

5 本發明提供一種光碟機，尤指一種可應用除頻器調整擺動時脈之相位的光碟機。

【先前技術】

在現代的資訊社會中，如何整理儲存大量的資訊，是資訊業界最關心的課題之一。在各種儲存媒介中，光碟片（optical disc）以其輕薄的體積，高密度的儲存容量，成為最普遍的高容量資料儲存媒介之一。然而，隨著多媒體技術的發展，一般的 CD 光碟片由於其容量大約僅有 650MB 左右，因此已經無法滿足使用者的需求，所以業界便提出新的光碟片規格以增加單一光碟片可儲存資料的容量，例如習知的多功能數位碟片（digital versatile disc, DVD），其大小與一般的 CD 光碟片相同，但是其容量卻遠大於 CD 光碟片。一般而言，多功能數位碟片一開始主要係應用於儲存影音資料，亦即習知的 DVD 影音光碟（DVD-Video disc），由於 DVD 影音光碟於一記錄層上可紀錄大約 4.7GB 的資訊，換句話說，可將至少兩小時的影片儲存於該記錄層上，所以隨著 DVD 影音光碟的普及，多功能數位碟片也逐漸地應用於其他領域中，由於單一多功能數位碟片可紀錄大容量的資料，因此一電腦系統即可於單一多功能數位碟片上讀取所需的資料，亦即相較於小容量的 CD 光碟片而言，該電腦系統便不需執行換片的操作來讀取所需資料。

雖然唯讀型的多功能數位碟片已經普遍地被使用，然而如同習知可錄式 CD 光碟片（CD-R disc）及可重複寫入式 CD 光碟片（CD-RW disc）的發展，該可錄式 CD 光碟片與該可重複寫入式 CD 光碟片可便利地提供使用者紀錄所要的資料，因此對於多功能數位碟片而言，業界亦制訂可錄式多功能數位碟片及可重複寫入式多功能數位碟片的規格，以便讓使用者可如同利用可錄式 CD 光碟片與可重複寫入式 CD 光碟片紀錄資料一般地利用可錄式多功能數位碟片及可重複寫入式

多功能數位碟片來紀錄大量的資料。如業界所習知，可錄式多功能數位碟片及可重複寫入式多功能數位碟片可區分為不同的規格，其中符合 DVD+R 規格的可錄式多功能數位碟片與符合 DVD+RW 規格的可重複寫入式多功能數位碟片可完全地相容於目前廣泛被使用的 DVD 影音光碟機（DVD-Video player）與 DVD 唯讀光碟機（DVD-ROM drive），亦即 DVD+R 規格與 DVD+RW 規格具有較佳的相容性而便於使用。

一般而言，為便於內儲資訊的管理，多功能數位碟片上儲存資料的區域會被區分成許多小記錄區(frame)；而多功能數位碟片上所儲存的資訊都會依照一定的規畫儲存在多功能數位碟片上的各記錄區中。所以，要將資訊寫入可寫式多功能數位碟片時，光碟燒錄機必須要先確定可寫式多功能數位碟片上各記錄區的規畫情形，才能正確地將資料寫入可寫式多功能數位碟片中。為了要記錄與各記錄區相關的資訊，可寫式多功能數位碟片也有特殊的構造來記錄相關的資訊以定址（addressing）所紀錄的資料，對於符合 DVD+R 規格的可錄式多功能數位碟片與符合 DVD+RW 規格的可重複寫入式多功能數位碟片來說，該資訊即為位址資料（address in pregroove, ADIP）。

如業界所習知，位址資料係以相位調變（phase modulation）方式紀錄於擺動訊號中，而光碟片 10 上的二記錄區係對應 93 個擺動週期，其中 8 個擺動週期係以相位調變方式來紀錄位址資料。請參閱圖一，圖二，以及圖三，圖一、二、三分別為習知擺動訊號 4a、4b、4c 的示意圖。對於擺動訊號 4a 而言，其包含有 8 個擺動週期 W0、W1、W2、W3、W4、W5、W6、W7 以相位調變方式來紀錄對應位址資料的資訊，而於擺動週期 W0 啓始時，擺動訊號 4a 即產生 180°的相位變化，此外擺動週期 W3 與擺動週期 W4 之間，擺動訊號 4a 亦產生 180°的相位變化，因此擺動訊號 4a 係對應位址資料的同步單元（ADIP sync unit）。對於擺動訊號 4b 而言，其包含有 8 個擺動週期 W0、W1、W2、W3、W4、W5、W6、W7 以相位調變方式來紀錄對應位址資料的資訊，而於擺動週期 W0 啓始時，擺動訊號 4b 即產生 180°的相位變化，此外擺動週期 W0 與擺動週期 W1 之間以及擺動週期 W5 與擺動週期 W6 之間，擺動訊號 4b 亦分別產生 180°的相位變化，因此擺動訊號 4b 即對應位址資料之一資料單元（ADIP data unit），且該資料單元係為邏輯值“0”。對於擺動訊號 4c 而言，其包含有 8 個擺動週期 W0、W1、W2、W3、W4、W5、W6、W7 以相位調變方式來紀錄對應位址資料的資訊，而於擺動週期 W0 啓始時，擺動訊號 4c 即產生 180°的相位變化，此外擺動週期 W0 與擺動週期 W1 之間、擺動週期 W3 與擺動週期 W4 之間以及擺動週期 W5 與擺動週期 W6 之間，擺動訊號 4c 亦分別產生 180°的相位變化，因此擺動訊號 4c 即對

應位址資料之一資料單元，且該資料單元係為邏輯值”1”。

由於位址資料係以相位調變方式紀錄於擺動訊號中，因此光碟機必須使用一位址資料解碼器（ADIP decoder）來擷取出該位址資料。請同時參閱圖四與圖五，圖四為習知光碟機系統 10 的功能方塊示意圖，而圖五為圖四所示之光碟機系統 10 的操作示意圖，於圖五中，由上而下分別代表擺動訊號 WBL、WBL’、WBL’’以及擺動時脈 CLK。光碟機系統 10 包含有一光碟片 12 以及一光碟機 14，而光碟機 14 包含有一讀寫頭（pick-up head）15，兩帶通濾波器 16、18，一擺動時脈產生電路（wobble clock generator）20，一除頻器（frequency divider）21，一位址資料解碼器（ADIP decoder）22，以及一控制電路（controller）24。如業界所習知，對於符合 DVD+R 規格或 DVD+RW 規格的光碟片 12 而言，當光碟片 12 出廠時，於光碟片 12 之反射面上，除了用來寫入位元”0”與”1”的資料軌道外，另設置有凸出於該反射面的擺動軌道，亦即該資料軌道係位於突出之擺動軌道間所形成的溝槽(groove)內，而該擺動軌道係用來記載習知位址資料以便讀取該資料軌道上所紀錄的資料，以及便於將資料寫入該資料軌道。所以，讀寫頭 15 會讀取光碟片 12 之擺動軌道而輸出擺動訊號 WBL 至帶通濾波器 16，而帶通濾波器 16 係連接於帶通濾波器 18。一般而言，帶通濾波器 18 具有高 Q 值（high Q-factor），以及帶通濾波器 16 具有低 Q 值（low Q-factor），由於帶通濾波器 16 具有低 Q 值，因此於頻域（frequency domain）上，帶通濾波器 16 對於趨近一預定主頻的訊號施加輕微的衰減，因此帶通濾波器 16 處理擺動訊號 WBL 後輸出擺動訊號 WBL’（如圖五所示），並傳輸擺動訊號 WBL’至位址資料解碼器 22 以及帶通濾波器 18。相反地，由於帶通濾波器 18 具有高 Q 值，因此於頻域上，帶通濾波器 18 會大幅衰減趨近一預定主頻的訊號，因此於處理擺動訊號 WBL’後產生如圖五所示的擺動訊號 WBL’’，並輸出擺動訊號 WBL’’至擺動時脈產生電路 20。擺動時脈產生電路 20 係用來依據擺動訊號 WBL’’產生一參考時脈 CLK_REF，一般而言，參考時脈 CLK_REF 的頻率係高於擺動訊號 WBL’’的頻率，例如參考時脈 CLK_REF 的頻率係為擺動訊號 WBL’’的頻率的 32 倍，因此必須透過一除頻器 21 產生所需的擺動時脈 CLK，並輸出該擺動時脈 CLK 至位址資料解碼器 22，其中擺動時脈 CLK 的頻率係為參考時脈 CLK_REF 的頻率的 1/32。然後，位址資料解碼器 22 便可依據擺動時脈 CLK 來解碼擺動訊號 WBL’以輸出擺動訊號 WBL 中所紀錄的位址資料 ADIP。舉例來說，擺動時脈產生電路 20 係依據相位調變之擺動訊號 WBL’’來產生非相位調變之擺動時脈 CLK，所以位址資料解碼器 22 可對擺動時脈 CLK 與擺動訊號 WBL’進行一 XOR 邏輯運算，然後便

可依據擺動時脈 CLK 與擺動訊號 WBL'之間的邏輯準位關係得到以相位調變方式所紀錄的位址資料 ADIP。最後，控制電路 24 便可根據位址資料 ADIP 所提供之軌道資訊來對光碟片 12 進行資料讀取或資料寫入的操作。

5

如圖五所示，擺動訊號 WBL 係經由具有低 Q 值的帶通濾波器 16 處理後產生擺動訊號 WBL'，然而，對於擺動時脈 CLK 來說，擺動時脈產生器 20 所產生參考時脈 CLK_REF 所依據的擺動訊號 WBL'則是擺動訊號 WBL'另經由具有高 Q 值的帶通濾波器 18 處理後產生，而參考時脈 CLK_REF 再經由除頻操作而產生擺動訊號 CLK。如業界所習知，帶通濾波器 16、18 進行濾波處理時會使其輸出訊號與輸入訊號之間產生相位遲滯（phase delay）的現象，換句話說，擺動訊號 WBL'與擺動訊號 WBL''之間會因為被不同的帶通濾波器 16、18 影響而產生相位差，所以當位址資料解碼器 22 使用擺動時脈 CLK 來解碼擺動訊號 WBL'便可能產生誤判邏輯準位的情形。請參閱圖六，圖六為圖四所示之位址資料解碼器 22 解碼位址資料 ADIP 的操作示意圖。為了便於說明，在不考慮帶通濾波器 16 與雜訊干擾等影響下，擺動訊號 WBL'的理想波形如圖六所示，同時，若帶通濾波器 18 不產生對擺動訊號 WBL'造成相位遲滯的效應，則擺動訊號 CLK 的理想波形如圖六所示。然而，若考慮帶通濾波器 18 對於其輸出訊號的影響，則實際的擺動時脈 CLK'與擺動訊號 WBL'之間會對應一相位差，亦即擺動時脈 CLK'的相位會落後擺動訊號 WBL'的相位，如圖六所示，此時擺動時脈 CLK'與擺動訊號 WBL'的相位差為 90 度。如前所述，位址資料解碼器 22 係對擺動時脈 CLK 與擺動訊號 WBL'進行一 XOR 邏輯運算以便進一步地偵測位址資料，其中圖六所示之訊號 S1 係由擺動時脈 CLK 與擺動訊號 WBL'進行一 XOR 邏輯運算的結果，而圖六所示之訊號 S2 係由擺動時脈 CLK'與擺動訊號 WBL'進行一 XOR 邏輯運算的結果。明顯地，比較訊號 S1 與訊號 S2 可知，若位址資料解碼器 22 依據訊號 S2 來判斷擺動訊號 WBL'中以相位調變的位址資料，則位址資料解碼器 22 無法正確地對擺動訊號 WBL'進行解碼的操作。

【發明內容】

本發明提供一種可應用除頻器調整擺動時脈之相位的光碟機，以解決上述問題。

35

本發明提供一種時脈訊號調整電路，包含有：一相位調整電路，接收一擺動訊號以及一擺動時脈訊號，用以產生一相位調整設定值；一除頻電路，連結至相

位調整電路，接收相位調整值，根據相位設定值，除頻一第一參考時脈訊號，用以調整擺動時脈訊號。

本發明令提供一種時脈訊號調整的方法，包含有：根據一擺動訊號以及一擺動時脈訊號，產生一相位調整設定值；根據相位調整值，除頻一第一參考時脈訊號，以調整擺動時脈訊號。

本發明使用一相位調整電路來計算一擺動訊號與一擺動時脈之間的相位差，並依據該相位差輸出一相位調整設定值至一除頻器，其中當該擺動訊號之相位領先該擺動時脈之相位時，該相位調整電路會降低該相位調整設定值以使調整後之擺動時脈的相位超前原先擺動時脈的相位而進一步地縮減該相位差，以及當該擺動訊號之相位落後該擺動時脈之相位時，該相位調整電路會增加該相位調整設定值以使調整後之擺動時脈的相位落後原先擺動時脈的相位而進一步地縮減該相位差。

【實施方式】

請參閱圖七，圖七為本發明光碟機系統 30 的功能方塊示意圖。光碟機系統 30 包含有一光碟片 (optical disk) 32 以及一光碟機 (optical disk drive) 34。光碟機 34 包含有一讀寫頭 (optical pick-up unit, OPU) 36，二帶通濾波器 (band-pass filter, BPF) 38、40，一擺動時脈產生電路 (wobble clock generator) 42，一位址資料解碼器 (ADIP decoder) 44，一除頻器 (frequency decoder) 46，一控制電路 (controller) 48，以及一相位調整電路 (phase adjustment circuit) 50。請注意，圖七中，除頻器 46 與相位調整電路 50 係外接於擺動時脈產生電路 42，然而，亦可整合除頻器 46 與相位調整電路 50 於擺動時脈產生電路 42 中，亦屬本發明範疇。

本實施例中，光碟機 34 中設置有一相位調整電路 50，用來輸出相位調整設定值 PHASEDLY 至除頻器 46 以調整除頻器 46 輸出之擺動時脈 CLK 的相位。請參閱圖八，圖八為圖七所示之相位調整電路 50 的功能方塊示意圖。相位調整電路 50 包含有一相位-頻率比較器 (phase-frequency detector, PFD) 52，一計數器 (counter) 54，一時脈產生器 (clock generator) 56，以及一判斷邏輯電路 (decision logic) 58。相位-頻率比較器 52 係用來比較擺動訊號 WBL' 與擺動時脈 CLK 之間的相位關係以輸出相對應的控制訊號 UP、DOWN，舉例來說，當擺動訊號 WBL' 由邏輯值"0"轉變至邏輯值"1"時會觸發相位-頻率比較器 52 輸出控制訊號 UP，亦即擺動訊號 WBL' 的正緣 (rising edge) 會觸發控制訊號 UP，以及當擺動時脈 CLK 由邏輯值"0"轉變

至邏輯值”1”時會觸發相位-頻率比較器 52 輸出控制訊號 DOWN，亦即擺動時脈 CLK 的正緣會觸發控制訊號 DOWN，因此若擺動時脈 CLK 於時間 T 時產生正緣，相位-頻率比較器 52 會被觸發而開始輸出控制訊號 UP，當擺動訊號 WBL’ 稍後於時間 T+dT 時產生正緣，則
5 相位-頻率比較器 52 會被觸發而產生控制訊號 DOWN 的脈衝（impulse），然後相位-頻率比較器 52 會隨即同時重置（reset）控制訊號 UP、DOWN；同樣地，若擺動訊號 WBL’ 於時間 T 時產生正緣，相位-頻率比較器 52 會被觸發而開始輸出控制訊號 DOWN，當擺動時脈 CLK 稍後於時間 T+dT 時產生正緣，則相位-頻率比較器 52 會被觸
10 發而輸出控制訊號 UP 的脈衝，然後相位-頻率比較器 52 會隨即同時重置控制訊號 UP、DOWN。

計數時脈產生器 56 係用來產生一參考時脈 CLK_r，並輸出該參考時脈 CLK_r 至計數器 54，而計數器 54 則依據該參考時脈 CLK_r 來計
15 數控制訊號 UP、DOWN 被觸發之時段中所對應之參考時脈 CLK_r 的週期總數（cycles），並輸出相對應的計數值 NUM1、NUM2 至判斷邏輯電路 58，舉例來說，若參考時脈 CLK_r 的頻率為 Fr，而控制訊號 UP 被觸發的時段為 Tp₁，則相對應的計數值 NUM1 即為 Fr*Tp₁，同樣地，當控制訊號 DOWN 被觸發的時段為 Tp₂ 時，則相對應的計數
20 值 NUM2 即為 Fr*Tp₂。判斷邏輯電路 58 則計算計數值 NUM1 與計數值 NUM2 之總和來判斷是否輸出相位調整設定值 PHASEDLY 至除頻器 46 以驅動除頻器 46 調整其輸出之擺動時脈 CLK 的相位，本實施例中，計數值 NUM1 係用來增加該總和，而計數值 NUM2 則是用來減少該總和。若計數時脈產生器 56 所輸出之參考時脈 CLK_r 的頻率
25 係為擺動時脈產生電路 42 所輸出之參考時脈 CLK_{REF} 的 400 倍，亦即於參考時脈 CLK_{REF} 之一週期中會對應 400 個參考時脈 CLK_r 之週期，換句話說，若使用參考時脈 CLK_r 來計數參考時脈 CLK_{REF}，則參考時脈 CLK_{REF} 之一週期的計數值即為 400，所以，當計數器 54 使用參考時脈 CLK_r 來計數擺動時脈 CLK 與擺動訊號
30 WBL’ 之間的相位差所對應的時間間隔時，假若該時間間隔所對應的計數值等於 200，則表示該相位差之相對應時間間隔此時等於參考時脈 CLK_{REF} 之半個週期。

由於擺動訊號 WBL’ 的形成與帶通濾波器 38 有關，且帶通濾波
35 器 38 具有低 Q 值，所以擺動訊號 WBL’ 會產生較大程度的訊號抖動（jitter），亦即其週期會不停地變動，然而，擺動訊號 WBL’ 之週期的長期平均值（long-term average）會趨近一定值。由前所述，計數值 NUM1 係對應控制訊號 UP，亦即計數值 NUM1 代表擺動訊號

WBL' 的相位領先 (lead) 擺動時脈 CLK 之相位的幅度，相反地，計數值 NUM2 係對應控制訊號 DOWN，亦即計數值 NUM2 代表擺動訊號 WBL' 的相位落後 (lag) 擺動時脈 CLK 之相位的幅度，因此於理想狀況下，於擺動訊號 WBL' 的複數個週期中，所有計數值 NUM1 累加之總和與所有計數值 NUM2 累加之總和之間的差量應趨近 0，然而，由於帶通濾波器 40 實際上亦會影響擺動訊號 WBL' 的相位，因此本實施例中，判斷邏輯電路 58 會依據所有計數值 NUM1 累加之總和與所有計數值 NUM2 累加之總和之間的差量來決定是否驅動除頻器 46 來進一步地校正擺動時脈 CLK 的相位。

判斷邏輯電路 58 輸出相位調整設定值 PHASEDLY 的操作原理敘述如下。請同時參閱圖八與圖九，圖九為相位調整電路 50 的操作示意圖。於圖九中，由上而下各橫軸分別代表擺動訊號 WBL'，擺動時脈 CLK，控制訊號 UP，控制訊號 DOWN，判斷邏輯電路 58 依據控制訊號 UP、DOWN 所計算之總和 SUM，判斷邏輯電路 58 計算總和 SUM 之總次數 CYCLE，以及相位調整設定值 PHASEDLY。假設計數時脈產生器 56 所輸出之參考時脈 CLK_r 的頻率係為擺動時脈產生電路 42 所輸出之參考時脈 CLK_{REF} 的 400 倍，以及相位-頻率比較器 52 分別於擺動時脈 CLK 與擺動訊號 WBL' 之正緣時觸發產生控制訊號 UP、DOWN。所以，於時間 t₁ 時，擺動時脈 CLK 形成正緣而自邏輯值"0"轉變為邏輯值"1"，因此會觸發相位-頻率比較器 52 輸出控制訊號 UP，而擺動訊號 WBL' 直到時間 t₂ 時才形成正緣而自邏輯值"0"轉變為邏輯值"1"，此時相位-頻率比較器 52 驅動控制訊號 DOWN 產生一脈衝後隨即同時重置控制訊號 UP、DOWN，此時，計數器 54 依據參考時脈 CLK_r 計數控制訊號 UP 的持續時間 t₁~t₂ 而產生計數值 NUM1 為 4，判斷邏輯電路 58 所計算的總和 SUM 即為 4，而計算該總和 SUM 的總次數 CYCLE 為 1，請注意，上述控制訊號 DOWN 所對應之脈衝的時間間隔極短，因此其計數值實際上可忽略而不影響總和 SUM。於時間 t₃ 時，擺動時脈 CLK 產生正緣，因此觸發相位-頻率比較器 52 輸出控制訊號 DOWN，而擺動訊號 WBL' 直到時間 t₄ 時才形成正緣，此時相位-頻率比較器 52 驅動控制訊號 UP 產生一脈衝而隨即重置控制訊號 UP、DOWN，此時，計數器 54 依據參考時脈 CLK_r 計數控制訊號 DOWN 的持續時間 t₃~t₄ 而產生計數值 NUM2 為 3，由於目前的總和 SUM 為 4，因此判斷邏輯電路 58 會更新總和 SUM 為 1 (亦即 4 減 3)，而計算該總和 SUM 的總次數 CYCLE 為 2，請注意，上述控制訊號 UP 所對應之脈衝的時間間隔極短，因此其計數值實際上可忽略而不影響總和 SUM。同樣地，計數器 54 後續依據參考時脈 CLK_r 計數控制訊號 UP 的持續時間 t₅~t₆ 而產生計數

值 NUM1 為 1，因此判斷邏輯電路 58 會更新總和 SUM 為 2（亦即 1 加 1），而計算該總和 SUM 的總次數 CYCLE 為 3。同樣地，計數器 54 依據參考時脈 CLK_r 計數控制訊號 UP 的持續時間 t7~t8、t13~t14 而產生計數值 NUM1 分別為 5、2，以及計數器 54 依據參考時脈 CLK_r 計數控制訊號 DOWN 的持續時間 t9~t10、t11~t12、t15~t16、t17~t18 而產生計數值 NUM2 分別為 2、1、5、2，而總和 SUM 的變化如圖九所示。本實施例中，判斷邏輯電路 58 係依據擺動訊號 WBL' 與擺動時脈 CLK 之間一預定數量（例如 400 個週期）的相位比較結果來決定是否需驅動除頻器 46 調整擺動時脈 CLK 的相位。

舉例來說，如圖九所示，於時間 t14 時，判斷邏輯電路 58 對總和 SUM 已完成 400 次的運算，此外，如前所述，當計數器 54 使用參考時脈 CLK_r 來計數擺動時脈 CLK 與擺動訊號 WBL' 之間的相位差所對應的時間間隔時，若該時間間隔所對應的計數值等於 200，則表示該時間間隔等於參考時脈 CLK_{REF} 之半個週期，所以當於時間 t14 後所算出的總和 SUM 介於+200 與-200 之間，則擺動時脈 CLK 與擺動訊號 WBL' 之間的相位差所對應的時間間隔可等效地視為小於參考時脈 CLK_{REF} 之半個週期，因此判斷邏輯電路 58 並不會驅動除頻器 46 提早或延後參考時脈 CLK_{REF} 之一個週期的時間來輸出擺動訊號 CLK，亦即擺動訊號 CLK 的相位維持不變，其原因簡述如下。假設擺動訊號 WBL' 的相位領先擺動時脈 CLK 的相位，且兩者之相位差對應 0.3T（T 為參考時脈 CLK_{REF} 之週期），若判斷邏輯電路 58 驅動除頻器 46 來調整擺動訊號 WBL' 與擺動時脈 CLK 之間的相位差，亦即判斷邏輯電路 58 若驅動除頻器 46 提早參考時脈 CLK_{REF} 之一個週期（1T）的時間來輸出擺動訊號 CLK，則會造成擺動訊號 WBL' 的相位落後擺動時脈 CLK 的相位，而兩者之相位差成為 0.7T，反而使得擺動訊號 WBL' 與擺動時脈 CLK 的相位差擴大，換句話說，僅有當擺動訊號 WBL' 與擺動時脈 CLK 的相位差所對應之時間間隔大於參考時脈 CLK_{REF} 之半個週期的時間時，判斷邏輯電路 58 才會驅動除頻器 46 提早或延後參考時脈 CLK_{REF} 之一個週期的時間來輸出擺動訊號 CLK 以正確地達到縮小擺動訊號 WBL' 與擺動時脈 CLK 之間相位差的目的。

由圖九可知，於時間 t14 時，判斷邏輯電路 58 對總和 SUM 已完成 400 次的運算，且算出的總和 SUM 等於 280，由於總和 SUM 為正值並大於+200，因此於時間 t1~t14 中，控制訊號 UP 的總持續時間大於控制訊號 DOWN 的總持續時間，換句話說，長期來看，擺動時脈 CLK 的相位係落後擺動訊號 WBL' 的相位，且兩者的相位差所對應

之時間間隔大於參考時脈 CLK_REF 之半個週期 ($0.5T$) 的時間，所以判斷邏輯電路 58 便需驅動除頻器 46 提早參考時脈 CLK_REF 之一個週期 ($1T$) 的時間來輸出擺動訊號 CLK，亦即造成擺動時脈 CLK 的相位領先擺動訊號 WBL' 的相位，且兩者的相位差所對應之時間間隔因此而小於參考時脈 CLK_REF 之半個週期 ($0.5T$) 的時間，亦即判斷邏輯電路 58 驅動除頻器 46 以縮小擺動時脈 CLK 與擺動訊號 WBL' 之間的相位差。相反地，若於時間 t14 時，算出的總和 SUM 小於 -200 (例如 -280)，由於總和 SUM 為負值，因此於時間 t1~t14 中，控制訊號 DOWN 的總持續時間大於控制訊號 UP 的總持續時間，換句話說，長期來看，擺動時脈 CLK 的相位係領先擺動訊號 WBL' 的相位，且兩者的相位差所對應之時間間隔大於參考時脈 CLK_REF 之半個週期 ($0.5T$) 的時間，所以判斷邏輯電路 58 需驅動除頻器 46 延後參考時脈 CLK_REF 之一個週期 ($1T$) 的時間來輸出擺動訊號 CLK，亦即造成擺動時脈 CLK 的相位落後擺動訊號 WBL' 的相位，且兩者的相位差所對應之時間間隔因此而小於參考時脈 CLK_REF 之半個週期 ($0.5T$) 的時間，亦即判斷邏輯電路 58 驅動除頻器 46 來縮小擺動時脈 CLK 與擺動訊號 WBL' 之間的相位差。

判斷邏輯電路 58 主要係調整輸入除頻器 46 的相位調整設定值 PHASEDLY 來控制除頻器 46 調整擺動時脈 CLK 的相位，本實施例中，當判斷邏輯電路 58 對總和 SUM 已完成一預定次數 (例如 400 次) 的運算時，判斷邏輯電路 58 會依據該總和 SUM 來決定相位調整設定值 PHASEDLY，例如，若參考時脈 CLK_r 的頻率為參考時脈 CLK_REF 的 N 倍，且該總和 SUM 介於 $+0.5*N$ 與 $-0.5*N$ 之間，則判斷邏輯電路 58 維持目前輸入除頻器 46 的相位調整設定值 PHASEDLY；若該總和 SUM 大於 $+0.5*N$ ，則判斷邏輯電路 58 設定輸入除頻器 46 的相位調整設定值 PHASEDLY 等於原先的相位調整設定值 PHASEDLY 遞減 1 (亦即 $PHASEDLY=PHASEDLY-1$)；若該總和 SUM 小於 $-0.5*N$ 之間，則判斷邏輯電路 58 設定輸入除頻器 46 的相位調整設定值 PHASEDLY 等於原先的相位調整設定值 PHASEDLY 遞增 1 (亦即 $PHASEDLY=PHASEDLY+1$)，最後，除頻器 46 便依據所接收之相位調整設定值 PHASEDLY 來調整擺動時脈 CLK 之相位，其相關運作敘述如下。

請參閱圖十，圖十為圖七所示之除頻器 46 的示意圖。除頻器 46 包含有一計數器 60，一暫存器 (register) 62，一脈衝產生器 (pulse generator) 64，一比較器 (comparator) 66，一 D 型正反器 (D flip-flop) 68，以及一反向器 (inverter) 70。計數器 60 接收參考時脈 CLK_REF，

並計算參考時脈 CLK_REF 輸入的週期數，同時會輸出計數結果 COUNT 至比較器 66，舉例來說，參考時脈 CLK_REF 之每一週期的正緣會觸發計數器 60 不斷地累加計數結果 COUNT，或者參考時脈 CLK_REF 之每一週期的負緣會觸發計數器 60 不斷地累加計數結果 COUNT。此外，當計數結果 COUNT 由一初始值逐漸累加而達到一預定臨界值時，計數器 60 會重置計數結果 COUNT 為該初始值，並重新進行累加計數結果 COUNT 的操作，本實施例中，若除頻器 46 係用來除頻參考訊號 CLK_REF 以使擺動訊號 CLK 的頻率為參考訊號 CLK_REF 之頻率的 $1/(2n)$ ，則當計數器 60 執行 n 次累加運算後會重置計數結果 COUNT 為該初始值，計數器 60 的運作稍後詳述。暫存器 62 係用來儲存相位調整設定值 PHASEDLY，然後比較器 66 便比較計數結果 COUNT 是否等於相位調整設定值 PHASEDLY，若計數結果 COUNT 等於相位調整設定值 PHASEDLY，則比較器 66 會輸出一致能訊號 EN 以驅動脈衝產生器 64 輸出一脈衝訊號 PULSE 至 D 型正反器 68 之時脈輸入端 C。D 型正反器 68 可以對應正緣觸發或負緣觸發，若 D 型正反器 68 對應正緣觸發，則當脈衝訊號 PULSE 由邏輯值“0”轉變至邏輯值“1”時，D 型正反器 68 會將資料輸入端 D 的資料傳輸至資料輸出端 Q，同樣地，若 D 型正反器 68 對應負緣觸發，則當脈衝訊號 PULSE 由邏輯值“1”轉變至邏輯值“0”時，D 型正反器 68 會將資料輸入端 D 的資料傳輸至資料輸出端 Q。另外，資料輸出端 Q 所維持的資料會經由反向器 70 後輸入資料輸出端 D，換句話說，資料輸出端 Q 與資料輸入端 D 會保持不同的邏輯值，例如當資料輸入端 D 目前係維持邏輯值“1”，然後，當時脈輸入端 C 受脈衝訊號 PULSE 所觸發時，資料輸出端 Q 會維持資料輸入端 D 所對應的邏輯值“1”，然而，由於反向器 70 的作用，因此資料輸入端 D 會維持邏輯值“0”。同樣地，當時脈輸入端 C 再受脈衝訊號 PULSE 所觸發時，資料輸出端 Q 會維持資料輸入端 D 所對應的邏輯值“0”，然後，由於反向器 70 的作用，因此資料輸入端 D 此時會維持邏輯值“1”，如上所述，每當脈衝產生器 64 輸出脈衝訊號 PULSE 時，資料輸出端 Q 的邏輯值即會產生一次位準轉換（toggle），此外，資料輸出端 Q 所輸出的訊號即為擺動訊號 CLK。

請參閱圖十一，圖十一為圖十所示之除頻器 46 的操作示意圖。為了便於說明，假設除頻器 46 所輸出之擺動時脈 CLK 的頻率係為參考時脈 CLK_REF 之頻率的 $1/32$ ，且計數器 60 係對應正緣觸發。所以，當計數值 COUNT 的初始值為 0 時，計數器 60 由該初始值開始計算計數值 COUNT，並於第 16 次累加運算時將計數值 COUNT 重置為 0，如圖十一所示，於時間 t_1 時，參考時脈 CLK_REF 形成一正緣

而使計數器 60 所輸出的計數值 COUNT 為 15，由於計數值 COUNT 由 0 累加至 15 已經完成 15 次的運算，因此當參考時脈 CLK_REF 於時間 t2 形成正緣時，計數器 60 會重置計數值 COUNT 為 0，然後依據參考時脈 CLK_REF 之每一正緣來重新累加計數值 COUNT。如上
5 所述，當計數值 COUNT 等於相位調整設定值 PHASEDLY 時，比較器 66 會驅動脈衝產生器 64 輸出脈衝訊號 PULSE，同時會造成資料輸出端 Q 的邏輯值產生位準轉換，對於圖十一所示之擺動訊號 CLKa 而言，由於此時相位調整設定值 PHASEDLY 為 2，因此每當計數值 COUNT 等於 2 時，資料輸出端 Q 的邏輯值會產生位準轉換，因此擺
10 動訊號 CLKa 於時間 t4 時由邏輯值”0”轉變至邏輯值”1”，而於時間 t7 時，擺動訊號 CLKa 則由邏輯值”1”轉變至邏輯值”0”，同理，若計數值 COUNT 稍後再等於 2 時，擺動訊號 CLKa 亦會由目前的邏輯值”0”轉變至邏輯值”1”而產生一次位準轉換。對於圖十一所示之擺動訊號 CLKb 而言，由於相位調整設定值 PHASEDLY 為 3，因此每當計數值
15 COUNT 等於 3 時，資料輸出端 Q 的邏輯值會產生位準轉換，因此擺動訊號 CLKa 於時間 t5 時由邏輯值”0”轉變至邏輯值”1”，而於時間 t8 時，擺動訊號 CLKb 由邏輯值”1”轉變至邏輯值”0”，同理，若計數值 COUNT 稍後再等於 3 時，擺動訊號 CLKb 亦會由目前的邏輯值”0”轉變至邏輯值”1”。同理，對於圖十一所示之擺動訊號 CLKc 而言，由於
20 於相位調整設定值 PHASEDLY 為 1，因此每當計數值 COUNT 等於 1 時，資料輸出端 Q 的邏輯值會產生位準轉換，因此擺動訊號 CLKc 於時間 t3 時由邏輯值”0”轉變至邏輯值”1”，而於時間 t6 時，擺動訊號 CLKc 由邏輯值”1”轉變至邏輯值”0”，同理，若計數值 COUNT 稍後再等於 1 時，擺動訊號 CLKc 亦會由目前的邏輯值”0”轉變至邏
25 輯值”1”。

明顯地，擺動時脈 CLKa、CLKb、CLKc 之半週期 $0.5 \cdot T1$ 係為參考時脈 CLK_REF 之週期 T2 的 16 倍，換句話說，擺動時脈 CLKa、CLKb、CLKc 之頻率即為參考時脈 CLK_REF 之頻率的 32 分之一，
30 其中由於擺動時脈 CLKa、CLKb、CLKc（亦即圖十所示之擺動時脈 CLK）對應不同的相位調整設定值 PHASEDLY，因此擺動時脈 CLKa、CLKb、CLKc 雖具有相同頻率，但是擺動時脈 CLKa、CLKb、CLKc 的相位並不相同。由於擺動時脈 CLKa 所對應的相位調整設定值 PHASEDLY 小於擺動時脈 CLKb 所對應的相位調整設定值
35 PHASEDLY，因此擺動時脈 CLKa 會早於擺動時脈 CLKb 而產生位準變換，如圖十一所示，擺動時脈 CLKa 於時間 t4 時即由邏輯值”0”轉變至邏輯值”1”，但是擺動時脈 CLKb 直到時間 t5 時才由邏輯值”0”轉變至邏輯值”1”，由於擺動時脈 CLKa 所對應的相位調整設定值

PHASEDLY 與擺動時脈 CLKb 所對應的相位調整設定值 PHASEDLY 之間的差量為 1，所以擺動時脈 CLKa 的相位會領先擺動時脈 CLKb 的相位一個週期 T2 的時間。同理，比較擺動時脈 CLKa 與擺動時脈 CLKc，由於擺動時脈 CLKa 所對應的相位調整設定值 PHASEDLY 大於擺動時脈 CLKc 所對應的相位調整設定值 PHASEDLY，因此擺動時脈 CLKa 會晚於擺動時脈 CLKc 而產生位準變換，如圖十一所示，擺動時脈 CLKc 於時間 t3 時即由邏輯值"0"轉變至邏輯值"1"，但是擺動時脈 CLKa 直到時間 t4 時才由邏輯值"0"轉變至邏輯值"1"，由於擺動時脈 CLKc 所對應的相位調整設定值 PHASEDLY 與擺動時脈 CLKa 所對應的相位調整設定值 PHASEDLY 之間的差量為 1，所以擺動時脈 CLKc 的相位因此會領先擺動時脈 CLKa 的相位一個週期 T2 的時間。所以，本實施例中，經由相位調整設定值 PHASEDLY 的設定便可進一步修正擺動訊號 CLK 的相位。

如上所述，除頻器 46 的運作主要係於一預定數值範圍中不斷地依據參考時脈 CLK_REF 之觸發來產生計數值 COUNT，每當該計數值 COUNT 等於所設定的相位調整設定值 PHASEDLY 時，除頻器 46 即會驅使輸出的擺動時脈 CLK 產生一準位變換，該預定數值範圍係用來定義參考時脈 CLK_REF 與擺動時脈 CLK 之間的頻率比 (frequency ratio)，而該相位調整設定值 PHASEDLY 係用來修正擺動時脈 CLK 的相位，因此任何可實施上述操作之邏輯運算電路均可用來作為本發明光碟機 34 中所使用的除頻器 46。

如圖九所示，於時間 t14 時，總和 SUM 的數值等於 280，如前所述，當總和 SUM 大於+200 時，表示擺動時脈 CLK 的相位落後擺動訊號 WBL'的相位，且擺動時脈 CLK 與擺動訊號 WBL'之相位差所對應的時間間隔大於參考時脈 CLK_REF 之半個週期，所以為了減少擺動時脈 CLK 與擺動訊號 WBL'之間的相位差，本實施例中，圖八之判斷邏輯電路 58 會減少相位調整設定值 PHASEDLY 之數值，亦即擺動時脈 CLK 因為提早產生位準變換而減少擺動時脈 CLK 與擺動訊號 WBL'之間的相位差。圖九中，於時間 t14 前，相位調整設定值 PHASEDLY 等於 2，然而，於時間 t14 之後，相位調整設定值 PHASEDLY 則設定為 1，而從圖十一所示之擺動時脈 CLKa、CLKc 中可明顯地看出，當擺動時脈 CLKa 調整成擺動時脈 CLKc 時，擺動時脈 CLKc 的相位會領先擺動時脈 CLKa 的相位。相反地，若圖九所示之總和 SUM 於時間 t14 之數值小於-200，如前所述，當總和 SUM 小於-200 時，表示擺動時脈 CLK 的相位超前擺動訊號 WBL'的相位，且擺動時脈 CLK 與擺動訊號 WBL'之相位差所對應的時間間隔大於參考時脈 CLK_REF 之半個週期，所以為了減少擺動時脈 CLK 與擺動訊號 WBL'之間的相位差，本實施例中，

圖八之判斷邏輯電路 58 便會增加相位調整設定值 PHASEDLY 之數值，亦即擺動時脈 CLK 因為延遲產生位準變換而減少擺動時脈 CLK 與擺動訊號 WBL' 之間的相位差。所以，於時間 t14 前，相位調整設定值 PHASEDLY 若等於 2，則於時間 t14 之後，相位調整設定值 PHASEDLY 會遞增而因此被設定為 3，而從圖十一所示之擺動時脈 CLKa、CLKb 中可明顯地看出，當擺動時脈 CLKa 調整成擺動時脈 CLKb 時，擺動時脈 CLKb 的相位會落後擺動時脈 CLKa 的相位。綜合上述，若降低相位調整設定值 PHASEDLY 的數值，則調整後之擺動時脈 CLK 的相位會超前原來擺動時脈 CLK 的相位，以及若增加相位調整設定值 PHASEDLY 的數值，則調整後之擺動時脈 CLK 的相位會落後原來擺動時脈 CLK 的相位，所以當相位調整電路 50 偵測到擺動時脈 CLK 與擺動訊號 WBL' 之間的相位差所對應之時間間隔超過參考時脈 CLK_REF 之半個週期時，則相位調整電路 50 會遞增或遞減相位調整設定值 PHASEDLY 之數值，因此除頻器 46 便依據修正後的相位調整設定值 PHASEDLY 來提早或延遲擺動時脈 CLK 產生位準變換的時間而調整擺動時脈 CLK 的相位，最後便可達到縮減擺動時脈 CLK 與擺動訊號 WBL' 之相位差的目的。

請注意，本實施例中，位址資料解碼器 44 另會輸出一保護訊號 PROC 至相位調整電路 50 之相位-頻率比較器 52（如圖七與圖八所示），保護訊號 PROC 係用來停止相位-頻率比較器 52 輸出控制訊號 UP、DOWN 至計數器 54，其操作說明如下。如圖一、二、三所示，擺動訊號 WBL 中包含有相位調變之週期，因此該相位調變之週期經由帶通濾波器 38 處理後會使擺動訊號 WBL' 中相對應週期不穩定，若相位-頻率比較器 52 比較擺動訊號 WBL' 中不穩定的週期與擺動時脈 CLK，則會輸出錯誤的計數值 NUM1、NUM2，最後可能影響判斷邏輯電路 58 設定相位調整設定值 PHASEDLY。所以，於光碟機 34 實際運作時，若考慮訊號抖動以及帶通濾波器 38、40 所造成的相位遲滯等影響，則擺動訊號 WBL' 與擺動時脈 CLK 之間會存在相位差，雖然經由擺動時脈 CLK 來解碼擺動訊號 WBL' 時會產生錯誤位元，如業界所習知，若該相位差於一可接受範圍中，且位址資料解碼器 44 具有一預定容錯能力（fault tolerance），因此仍可正確地解出以相位調變方式記錄於擺動訊號 WBL 中的位址資料。依據 DVD+R 與 DVD+RW 規格可知，擺動訊號 WBL 之每 93 個週期中，8 個週期係以相位調變方式來記載位址資料，而其他 85 個週期並未以相位調變方式來紀錄任何資料，所以，當位址資料解碼器 44 可正確地解出位址資料時，位址資料解碼器 44 便可預測擺動訊號 WBL 中，該相位調變之週期何時會開始出現，所以，對於擺動訊號 WBL 之每 93 個週期而言，位址資料解碼器 44 於 8 個相位調變之週期開始出現前一預定時間即可產生保護訊號 PROC 至相位調整電路 50 中的相位-頻率比較器 52，因此當相位-頻率比較器 52 接收到該保護訊號 PROC

時便會停止輸出控制訊號 UP、DOWN，而計數器 54 就不會產生計數值 NUM1、NUM2，直到該 8 個相位調變之週期結束後一預定時間時，位址資料解碼器 44 會重置保護訊號 PROC，同時相位-頻率比較器 52 便可繼續比較擺動訊號 WBL' 與擺動時脈 CLK 來輸出控制訊號 UP、DOWN，亦即計數器 54 便可依據控制訊號 UP、DOWN 來輸出計數值 NUM1、NUM2 至判斷邏輯電路 58。綜合上述，經由保護訊號 PROC 的輔助使得相位調整電路 50 可輸出正確的相位調整設定值 PHASEDLY 以更準確地驅動除頻器 46 縮減擺動訊號 WBL' 與擺動時脈 CLK 間的相位差。

相較於習知技術，本發明光碟機使用一相位調整電路來計算一擺動訊號與一擺動時脈之間的相位差，並依據該相位差輸出一相位調整設定值至一除頻器，其中當該擺動訊號之相位領先該擺動時脈之相位時，該相位調整電路會降低該相位調整設定值以使調整後之擺動時脈的相位超前原先擺動時脈的相位而進一步地縮減該相位差，以及當該擺動訊號之相位落後該擺動時脈之相位時，該相位調整電路會增加該相位調整設定值以使調整後之擺動時脈的相位落後原先擺動時脈的相位而進一步地縮減該相位差。此外，當本發明光碟機之位址資料解碼器可正確地依據該擺動訊號與該擺動時脈解出位址資料時，該位址資料解碼器便會預測該擺動訊號何時產生相位調變之週期，並輸出一保護訊號至該相位調整電路以中斷該相位調整電路計算該相位差，所以本發明光碟機可經由該保護訊號的輔助使得該相位調整電路可輸出正確的相位調整設定值以準確地驅動該除頻器縮減該擺動訊號與該擺動時脈之間的相位差。當該相位調整電路驅動該擺動訊號之相位趨近與該擺動時脈之相位時，該位址資料解碼器便可更精確地利用該擺動時脈來解出該擺動訊號中以相位調變方式所記載的位址資料。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明

圖一、二、三分別為習知擺動訊號的示意圖。

圖四為習知光碟機系統的功能方塊示意圖。

圖五為圖四所示之光碟機系統的操作示意圖。

圖六為圖四所示之位址資料解碼器解碼位址資料的操作示意圖。

圖七為本發明光碟機系統的功能方塊示意圖。

圖八為圖七所示之相位調整電路的功能方塊示意圖。

圖九為相位調整電路的操作示意圖。

圖十為圖七所示之除頻器的示意圖。

圖十一為圖十所示之除頻器的操作示意圖。

5 圖式之符號說明

4a、4b、4c	擺動訊號	10、30	光碟機系統
12、32	光碟片	14、34	光碟機
15、36	讀寫頭	16、18、38、40	帶通濾波器
20、42	擺動時脈產生電路	21、46	除頻器
22、44	位址資料解碼器	24、48	控制電路
50	相位調整電路	52	相位-頻率比較器
54、60	計數器	56	時脈產生器
58	判斷邏輯電路	62	暫存器
64	脈衝產生器	66	比較器
68	D 型正反器	70	反向器

拾、申請專利範圍：

1. 一種相位調整電路，用以根據一目標時脈訊號以及一輸入訊號之相位差輸出一相位調整設定值，包含有：
 - 10 一相位頻率比較器，比較該輸入訊號之相位以及該目標時脈訊號之相位，用以產生一第一控制訊號或第二控制訊號；
 - 一計數時脈產生器，產生一參考時脈；
 - 一計數器，連結至該相位頻率比較器以及該計數時脈產生器，用以根據當該第一控制訊號產生時計數對應該參考時脈之週期數為一第一計數值，以及根據當該第二控制訊號產生時計數對應該參考時脈之週期數為一第二計數值；以及
 - 15 一判斷邏輯電路，連結至該計數器，根據該第一計數值以及該第二計數值計數一第三計數值，其中當計數次數累積到一預定次數時，總計複數個該第三計數值並與一預定範圍比較，用以輸出該相位調整設定值。
- 20 2. 如申請專利範圍第 1 項所述之相位調整電路，其中當該輸入訊號之相位領先該目標時脈訊號之相位時，產生該第一控制訊號。
3. 如申請專利範圍第 1 項所述之相位調整電路，其中當該輸入訊號之相位落後該目標時脈訊號之相位時，產生該第一控制訊號。

4. 如申請專利範圍第 1 項所述之相位調整電路，其中該預定範圍之為正負該預定次數的二分之一。
- 5
5. 如申請專利範圍第 1 項所述之相位調整電路，其中該第三計數值為該第一計數值與該第二計數值之總合，且該第一計數值為一正值而該第二計數值為一負值。
- 10
6. 如申請專利範圍第 1 項所述之相位調整電路，其中該相位頻率比較器更包含接收一保護訊號，用以避免當該輸入訊號不穩定時，輸出該相位調整設定值。
- 15
7. 如申請專利範圍第 1 項所述之相位調整電路，其中該方法可應用於一光碟系統中。
8. 一種除頻器，用以除頻一參考時脈訊號以產生一目標時脈訊號，包含有：
一計數器，對該參考時脈之每一個週期計數，且於一預定週期數後重新計數；
一暫存器，暫存一相位設定調整值；
一比較器，連結至該計數器以及該暫存器，用以當該參考時脈之週期計數等於該相位設定調整值時，發出一致能訊號；
一脈衝產生器，連結至該比較器，用以當接受到該致能訊號時，驅動該脈衝產生訊號產生一脈衝訊號；
一正反器，其觸發端接收該脈衝訊號，用以當該脈衝訊號觸發時，輸出一第一輸出訊號；以及
一反相器，其輸入端接收該第一輸出訊號，將該第一輸出訊號反相之後輸出至該正反器之輸入端；
其中該第一輸出訊號即為該目標時脈訊號。
- 20
- 25
- 30
9. 如申請專利範圍第 8 項所述之除頻器，其中該正反器為一正緣觸發之 D 型正反器。
10. 如申請專利範圍第 8 項所述之除頻器，其中該正反器為一負緣觸發之 D 型正反器。
- 35
11. 如申請專利範圍第 8 項所述之除頻器，其中該參考時脈訊頻率為該目標時脈

訊號頻率之一固定倍數。

12. 如申請專利範圍第 11 項所述之除頻器，其中該預定週期數為該固定倍數的二分之一。

5

13. 如申請專利範圍第 8 項所述之除頻器，其中該除頻器可應用於一光碟系統中。

- 10 14. 一種時脈訊號調整電路，包含有：

一相位調整電路，接收一輸入訊號以及一目標時脈訊號，用以產生一相位調整設定值；

一除頻電路，連結至該相位調整電路，接收該相位調整值，根據該相位設定值，除頻一第一參考時脈訊號，用以調整該目標時脈訊號。

15

15. 如申請專利範圍第 14 項之時脈訊號調整電路，其中該相位調整電路更包含有：

一相位頻率比較器，比較該輸入訊號之相位以及該目標時脈訊號之相位，用以產生一第一控制訊號或第二控制訊號；

20 一計數時脈產生器，產生一第二參考時脈；

一計數器，連結至該相位頻率比較器以及該計數時脈產生器，用以根據當該第一控制訊號產生時計數對應該第二參考時脈之週期數為一第一計數值，以及根據當該第二控制訊號產生時計數對應該第二參考時脈之週期數為一第二計數值；以及

25 一判斷邏輯電路，連結至該計數器，根據該第一計數值以及該第二計數值計數一第三計數值，其中當計數次數累積到一預定次數時，總計複數個該第三計數值並與一預定範圍比較，用以輸出該相位調整設定值至該除頻電路。

- 30 16. 如申請專利範圍第 15 項所述之時脈訊號調整電路，其中當該輸入訊號之相位領先該目標時脈訊號之相位時，產生該第一控制訊號。

17. 如申請專利範圍第 15 項所述之時脈訊號調整電路，其中當該輸入訊號之相位落後該目標時脈訊號之相位時，產生該第一控制訊號。

35

18. 如申請專利範圍第 15 項所述之時脈訊號調整電路，其中該預定範圍之為正負該預定次數的二分之一。

19. 如申請專利範圍第 15 項所述之時脈訊號調整電路，其中該第三計數值為該第一計數值與該第二計數值之總合，且該第一計數值為一正值而該第二計數值為一負值。

5

20. 如申請專利範圍第 15 項所述之時脈訊號調整電路，其中該相位頻率比較器更包含接收一保護訊號，用以避免當該輸入訊號不穩定時，輸出該相位調整設定值。

- 10 21. 如申請專利範圍第 14 項之時脈訊號調整電路，其中該除頻電路更包含有：
一計數器，對該第一參考時脈之每一個週期計數，且於一預定週期數後重新計數；

一暫存器，暫存該相位設定調整值；

- 15 一比較器，連結至該計數器以及該暫存器，用以當該第一參考時脈之週期計數等於該相位設定調整值時，發出一致能訊號；

一脈衝產生器，連結至該比較器，用以當接受到該致能訊號時，驅動該脈衝產生訊號產生一脈衝訊號；

一正反器，其觸發端接收該脈衝訊號，用以當該脈衝訊號觸發時，輸出該目標時脈訊號；以及

- 20 一反相器，其輸入端接收該目標時脈訊號，將該目標時脈訊號反相之後輸出至該正反器之輸入端。

22. 如申請專利範圍第 21 項所述之時脈訊號調整電路，其中該正反器為一正緣觸發之 D 型正反器。

25

23. 如申請專利範圍第 21 項所述之時脈訊號調整電路，其中該正反器為一負緣觸發之 D 型正反器。

- 30 24. 如申請專利範圍第 21 項所述之時脈訊號調整電路，其中該第一參考時脈訊頻率為該目標時脈訊號頻率之一固定倍數。

25. 如申請專利範圍第 24 項所述之時脈訊號調整電路，其中該預定週期數為該該固定倍數的二分之一。

35

26. 如申請專利範圍第 14 項所述之時脈訊號調整電路，其中該裝置可應用於一光碟系統中，該輸入訊號即為一光碟片之擺動訊號，該目標時脈訊號為該光

碟系統對應該擺動訊號所產生之擺動時脈訊號。

27. 一種時脈訊號調整的方法，包含有：
根據一輸入訊號以及一目標時脈訊號，產生一相位調整設定值；
5 根據該相位調整值，除頻一第一參考時脈訊號，以調整該目標時脈訊號。
28. 如申請專利範圍第 27 項所述之時脈訊號調整的方法，更包含有：
比較該輸入訊號之相位以及該目標時脈訊號之相位，以產生一第一控制訊號
或第二控制訊號；
10 當該第一控制訊號產生時，計數對應一第二參考時脈之週期數為一第一計數
值；
當該第二控制訊號產生時，計數對應該第二參考時脈之週期數為一第二計數
值；以及
根據該第一計數值以及該第二計數值計數一第三計數值；
15 其中當計數次數累積到一預定次數時，總計複數個該第三計數值並與一預定
範圍比較，用以輸出該相位調整設定值。
29. 如申請專利範圍第 28 項所述之時脈訊號調整的方法，其中當該輸入訊號之
相位領先該目標時脈訊號之相位時，產生該第一控制訊號。
20
30. 如申請專利範圍第 28 項所述之時脈訊號調整的方法，其中當該輸入訊號之
相位落後該目標時脈訊號之相位時，產生該第一控制訊號。
- 25 31. 如申請專利範圍第 28 項所述之時脈訊號調整的方法，其中該預定範圍之為
正負該預定次數的二分之一。
32. 如申請專利範圍第 28 項所述之時脈訊號調整的方法，其中該第三計數值為
該第一計數值與該第二計數值之總合，且該第一計數值為一正值而該第二計
30 數值為一負值。
33. 如申請專利範圍第 28 項所述之時脈訊號調整的方法，其中更包含接收一保
護訊號，用以避免當該輸入訊號不穩定時，輸出該相位調整設定值。
35
34. 如申請專利範圍第 27 項所述之時脈訊號調整的方法，更包含有：
對該第一參考時脈之每一個週期計數，且於一預定週期數後重新計數；
當該第一參考時脈之週期計數等於該相位設定調整值時，發出一致能訊號；

當接受到該致能訊號時，驅動該脈衝產生訊號產生一脈衝訊號；
當該脈衝訊號觸發時，輸出該目標時脈訊號；以及
回授該目標時脈訊號之反相訊號。

5 35. 如申請專利範圍第 34 項所述之時脈訊號調整的方法，其中該第一參考時脈訊頻率為該目標時脈訊號頻率之一固定倍數。

36. 如申請專利範圍第 34 項所述之時脈訊號調整的方法，其中該預定週期數為該固定倍數的二分之一。

10

37. 如申請專利範圍第 27 項所述之時脈訊號調整的方法，其中該方法可應用於一光碟系統中，該輸入訊號即為一光碟片之擺動訊號，該目標時脈訊號為該光碟系統對應該擺動訊號所產生之擺動時脈訊號。

15

拾壹、圖式：